

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 29 日
Application Date

申請案號：091134723
Application No.

申請人：科榮股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 23 日
Issue Date

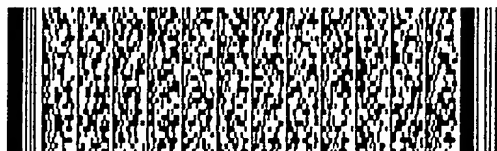
發文字號：09220957020
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

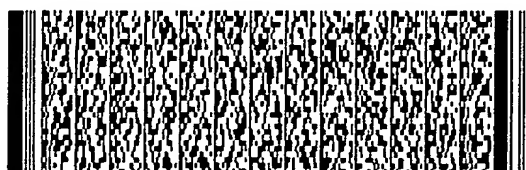
一、 發明名稱	中 文	一體封裝成型之卡式電子裝置及其製法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 王榮輝
	姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市明湖路116巷40弄5號
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 科榮股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣竹北市台元街22號4樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 蔡宗哲
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：一體封裝成型之卡式電子裝置及其製法)

一種一體封裝成型之卡式電子裝置及其製法，係在一基板第一表面佈設有多數之導電跡線，相對之第二表面端部形成有多數導電接頭 (terminal)，並藉由多數形成於基板中之通孔藉以電性導接該第一表面之導電跡線與第二表面之導電接頭，且使第二表面之導電接頭顯露於外界，俾作為該卡式電子裝置之輸入/輸出端 (Input/Output) 以與外界成電性連接關係；復於該基板第一表面接置並電性連接有至少一半導體晶片與被動元件，再以一封裝膠體一體成型包覆住該已完成電性連接至該基板之半導體晶片與被動元件；避免習知技術中先採用封裝膠體覆蓋住半導體晶片後，再於基板表面其餘空間接置被動元件，並另施加一蓋體以將基板收納其中，不僅可簡化製程步驟及成本，以利該卡式電子裝置之大量生產製造，且大幅降低該卡式電子裝置封裝高度，使得堆疊晶片更易施行，促進該卡式電子裝置朝多功能、高電性及高速運作之方向發展。

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：一體封裝成型之卡式電子裝置及其製法)

本案代表圖：第 2C圖

2 卡式電子裝置

20 基板

23 半導體晶片

24 導電元件

25 封裝膠體

26 被動元件

201 第一表面

202 第二表面

231 作用面

232 非作用面

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

本發明係有關於一種電子裝置及其製法，尤指一種利用封裝膠體藉以一體包覆成型之卡式電子裝置及其製法。

[先前技術]

近年來由於資訊電子產業的蓬勃發展，相關生活及知識資訊檔案如音樂、圖片、影像及新聞等資訊將有效的提供一般大眾大量下載使用，因此對於利用小型且容易使用的媒體來儲存高容量的資料及檔案的需求正在快速的增加。而一種可攜式快閃硬碟之電子裝置如多媒體卡

(Multi-Media Card, MMC)，即可滿足上述需求，該電子裝置特點在於採用可攜式儲存記憶體模組，由於其傳輸速度快，容量遠較一般軟碟大，因此廣泛應用在如數位相機、MP3、個人數位助理，或其它電子商品上，資料即可被輕易的組裝及傳輸至相關電子商品上作讀取和編輯動作，因此對於需要經常攜帶檔案的工作者而言，無論家中，辦公室或出差至任何地點，均可透過該電子裝置輕易將數位資料隨身攜帶。

該多媒體卡 (Multi-Media Card, MMC) 之封裝件主要為一種小型的積體電路 (Integrated Circuit) 裝置，其通常具有記憶體晶片 (Memory Chip)、控制晶片 (Controller Chip) 與例如電容器、電阻器及電感器等被動元件，藉以提供儲存與處理有關數位圖片及影像資料等多媒體資訊之功能。其中，該記憶體晶片、控制晶片及被動元件等係載接至一晶片承載件 (Chip Carrier)，例如基板

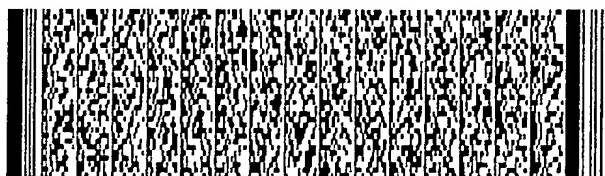


五、發明說明 (2)

(substrate)等，藉以提供該晶片及相關電子元件等電性連接至外界裝置，俾進行相對應之運作以發揮該晶片與電子元件之功能。

如第 1A 至 1D 圖所示者，係一般習知多媒體卡之封裝結構示意圖。該多媒體卡封裝結構 1 係在基板之第一表面 101 佈設有多數之導電跡線 11，第二表面 102 形成有與外界電性連接之導電接頭 (terminal) 12，並藉由多數形成於基板中之通孔 (via) (未圖示) 藉以電性連接該第一表面 101 之導電跡線 11 與第二表面 102 之導電接頭 12；以將至少一半導體晶片 13 接置於該基板之第一表面 101，並藉由多數之鐳線 14 電性連接至該基板 10；再藉一封裝膠體 15 包覆住該已完成電性連接至基板 10 之半導體晶片 13；並將至少一被動元件 16 接置並電性連接至該基板第一表面 101 上未為該封裝膠體 15 所包覆之區域；之後以一塑料蓋體 17 施加在該基板 10 之第一表面 101 與第二表面 102 上，俾將該基板 10 完全包覆其中，用以加蓋保護該接置於基板第一表面 101 上並完成電性連接之半導體晶片 13 與被動元件 16。

該多媒體卡封裝結構之特徵係在一有機 (Organic) 材料製成之基板 10 如電路板 (Circuit Board) 上預設一置晶區域，用以接置至少一晶片 13，且該晶片 13 係利用鐳線 14 電性連接至該基板 10，並藉由形成於該基板 10 中之導電通孔 (未圖示) 電性導接至作為該多媒體卡封裝結構 1 之輸入 / 輸出 (Input/Output) 端之導電接頭 12，且該導電接頭 12 係形成於基板 10 之一相對於承載晶片之表面上並外露出該蓋



五、發明說明 (3)

體 17 以與外界裝置 (未圖示) 成電性連接關係。然後先以環氧樹脂 (Epoxy Resin) 包覆住該半導體晶片 13 後，再進行一加蓋 (Lidding) 作業以黏接密封一蓋件 17 俾將該基板 10 完全收納其中。

然而，上述之多媒體卡封裝結構存在著許多缺失，例如：其封裝成型方式係先以環氧樹脂 (Epoxy Resin) 包覆住該半導體晶片後，再進行一加蓋 (Lidding) 作業以在該基板上黏接密封一蓋件之雙重封裝 (double encapsulation)，不僅增加製程步驟與成本，並且該被動元件之接置係利用剩餘未為封裝膠體所覆蓋之基板表面空間進行接置，造成基板設計之複雜度與基板電路佈局性之限制；同時由於該多媒體卡封裝結構受到該雙重封裝之高度限制，使其不易針對現今電子產品係朝多功能、高電性及高速運作之方向發展，採用堆疊 (stack) 有複數個晶片之多晶片模組 (Multi Chip Module, MCM)。

因此，如何解決上述問題而能提供一降低成本、簡化製程，且提供最佳化之電子元件接置空間，同時提昇商品之量產，實為目前亟欲解決的課題。

[發明內容]

鑒於以上所述習知技術之缺點，本發明之主要目的係提供一種一體封裝成型之卡式電子裝置及其製法，以有效降低製程成本、簡化製程步驟，同時提昇商品產量。

本發明之另一目的在於提供一種一體封裝成型之卡式電子裝置及其製法，藉以提供最佳化之電子元件接置空



五、發明說明 (4)

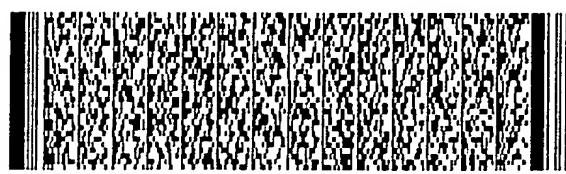
間，以符合現今電子產品朝多功能、高電性及高速運作之發展趨勢。

為達成上揭及其他目的，本發明揭露一種一體封裝成型之卡式電子裝置，係包括：一基板，具有一第一表面及第二表面，且該基板第一表面佈設有多數之導電跡線，第二表面形成有多數導電接頭 (terminal)，並藉由多數形成於基板中之通孔藉以電性導接該第一表面之導電跡線與第二表面之導電接頭，且使該導電接頭形成於基板第二表面之端部並顯露於外界，以提供該卡式電子裝置與外界裝置成電性連接關係；至少一半導體晶片，係接置於該基板之第一表面並藉由多數導電元件電性連接至該基板；至少一被動元件，係接置並電性連接至該基板第一表面上；以及一封裝膠體 (Encapsulant)，係形成於該基板第一表面，用以一體成型包覆住該已完成電性連接至該基板之半導體晶片與被動元件。

本發明所提供之一體封裝成型之卡式電子裝置之製法係包括下列步驟：

製備一基板，於該基板第一表面佈設有多數條導電跡線，第二表面端部形成有多數導電接頭，且於該基板中形成有複數個通孔藉以電性導接第一表面之導電跡線與第二表面之導電接頭，且使第二表面之導電接頭顯露於外界，俾作為該卡式電子裝置之輸入/輸出 (Input/Output) 端以與外界成電性連接關係。

於該基板第一表面接置並電性連接有至少一半導體晶



五、發明說明 (5)

片與被動元件。

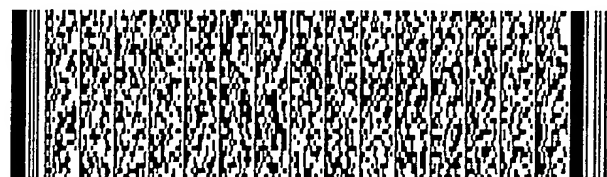
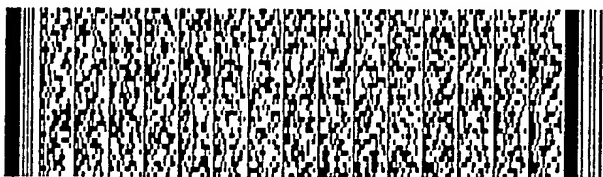
填充一封裝膠體至該基板第一表面，用以一體封裝成型包覆住該已完成電性導接之半導體晶片與被動元件。

由於本發明之一體成型之卡式電子裝置及其製法係採用單一封裝膠體一體成型包覆於該卡式電子裝置之表面，以保護接置於該基板上之相關半導體晶片、被動元件等電子元件，因此相較習知封裝製程中先採用封裝膠體覆蓋住半導體晶片後，再另施加一蓋體完全包覆住基板之雙重封裝問題，不僅可簡化製程步驟及成本，以利該卡式電子裝置之大量生產製造，且大幅降低該卡式電子裝置封裝高度，使得堆疊晶片更易施行，促進該卡式電子裝置朝多功能、高電性及高速運作之方向發展；同時整體基板表面皆可作為接置半導體晶片與被動元件等電子元件之設計規劃，以提供較佳之電路佈局性 (Trace Routability or Layout) 供安置更多之電子元件。

[實施方式]

以下即配合所附圖式第 2A 至 2C 圖及第 3A 至 3E 圖詳細說明本發明所揭露之一體封裝成型之卡式電子裝置及其製法。

如第 2A 至 2C 圖所示，本發明之一體封裝成型之卡式電子裝置 2，可為一多媒體卡 (Multi-Media Card, MMC)，其係包括有：一基板 20，其具有一第一表面 201 及一第二表面 202；至少一半導體晶片 23，係接置於該基板之第一表面 201 並藉由多數導電元件 24 電性連接至該基板 20；至少

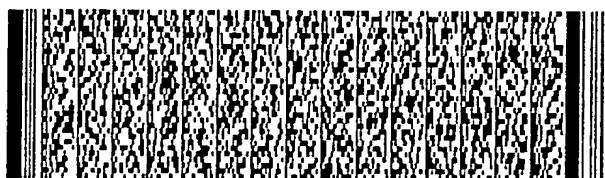


五、發明說明 (6)

一被動元件 26，係接置並電性連接至該基板第一表面 201 上；以及一封裝膠體 25，係形成於該基板第一表面 201，用以包覆住該已完成電性連接至基板 20 之半導體晶片 23 與被動元件 26。

該基板 20 具有第一表面 201 及相對應之第二表面 202，該第一表面 201 佈設有多數之導電跡線 (conductive trace) 21，第二表面 202 端部形成有多數導電接頭 22，以及在該基板中設置有多數之通孔 (未圖示) 藉以電性導接該基板第一表面 201 之導電跡線 21 與第二表面 202 之導電接頭 22。同時於該基板第一表面 201 接置並電性連接有多數之半導體晶片 23 及被動元件 26，使該半導體晶片 23 與被動元件 26 得藉由該導電跡線 21、通孔以及該基板第二表面 202 端部曝露於外界之導電接頭 22，俾作為該卡式電子裝置 2 之輸入/輸出 (Input/Output) 端以與外界成電性連接關係。而為防止該曝露於外界之基板第二表面 202 端部之導電接頭 22 受環境氧化侵蝕等破壞，通常會在該導電接頭 22 處電鍍有一金 (Au) 金屬層作為一保護層以形成為一金手指 (Golden Finger)。

該半導體晶片 23 如多媒體晶片 (Multi-Media Chip)、可抹寫之程式化記憶體 (Electrically-Erasable and Programmable Read-Only Memory, EEPROM) 晶片及控制晶片 (Controlled Chip) 等，該晶片 23 具有一作用表面 231 及一相對之非作用表面 232，係以其非作用面 232 利用一膠黏劑 (Adhesive) 黏置於該基板第一表面 201，並



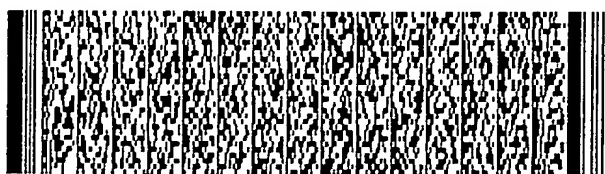
五、發明說明 (7)

藉由多數例如金線之鐳線 24 以將該半導體晶片 23 之作用面 231 電性連接至該基板第一表面 201，藉以提供該卡式電子裝置 2 儲存與處理有關數位圖片及影像資料等多媒體資訊之功能。

該被動元件 26 包含有電容器、電阻器及電感器等，係藉由鐳線以電性連接至該基板第一表面 201；當然其亦可利用表面藕接技術 (Surface Mount Technology, SMT) 接置同時電性連接至該基板第一表面 201，藉以提昇或穩定該卡式電子裝置 2 之電性功能。

該封裝膠體 25 可為一環氧樹脂，其俟於該半導體晶片 23 與被動元件 26 完成電性連接至該基板 20 後，包覆於該基板第一表面 201，以直接將該卡式電子裝置 2 一體封裝成型。

本發明一體封裝成型之卡式電子裝置製法，首先係製備一基板 20，並於其上安置至少一與該基板 20 電性連接之半導體晶片 23 與被動元件 26；該基板 20 得以樹脂材質如環氧樹脂 (Epoxy Resin)、聚亞醯胺 (Polyimide) 樹脂、BT (Bismaleimide Trazine) 樹脂、FR4 樹脂等製成，其具有一第一表面 201 和一第二表面 202，以在該第一表面 201 佈設有複數個導電跡線 21，藉以提供利用如銀膠之膠黏劑黏置於該基板第一表面 201 上之半導體晶片 23 與被動元件 26，藉由金線透過鐳線作業以電性連接至該基板 20，復透過形成於基板 20 中之通孔電性導接至該基板第二表面 202 上曝露於外界之導電接頭 22。



五、發明說明 (8)

接著進行一封裝膠體製程 (Encapsulation Process)，利用環氧樹脂 (Epoxy Resin) 等封裝膠體 25 一體成型地填充至該基板第一表面 201 上，俾包覆該半導體晶片 23 與被動元件 26，而不須另外再於基板 20 外施加一蓋體，即可完成本發明之一體封裝成型之卡式電子裝置 2。

如第 3A 及第 3B 圖所示，該多媒體卡封裝結構之製程於採用批次 (Batch) 方式製造時，係以一矩陣式基板 (matrix substrate) 310 來作為基底；此矩陣式基板 310 預先定義有複數個封裝區域 311，其中每一個封裝區域 311 即用以建構一個多媒體卡封裝結構 3，其僅需在各封裝區域 311 中製備完成有線路層之基板 30 表面，歷經黏晶 (Die-Bonding) 作業，以將半導體晶片 33 及被動元件 36 接置於各基板 30 表面；鐸線 (Wire-Bonding) 作業，以將半導體晶片 33 及被動元件 36 藉鐸線 34 電性連接至基板 30；模壓 (Molding) 作業，以將該完成電性連接有半導體晶片 33 及被動元件 36 之基板 30 置於模具中，藉單一封裝膠體 35 一體包覆成型；以及切單 (Singulation) 作業，即將該封裝完成具有複數個多媒體卡封裝結構 3 之矩陣式基板 310 置入切割機台內進行定位切割 (Sawing)，以將完成封裝之各個多媒體卡 3 進行切割分離，即可快速完成該多媒體卡 3 之量產。

請參閱第 4 圖，係本發明一體封裝成型之卡式電子裝置第二實施例之剖面示意圖。如圖所示，本發明第二實施例之卡式電子裝置與第一實施例所揭示者大致相同，其不同處在於該半導體晶片 43 係藉由多數之鐸錫凸塊 49 以覆晶

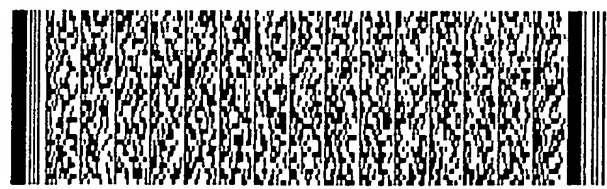
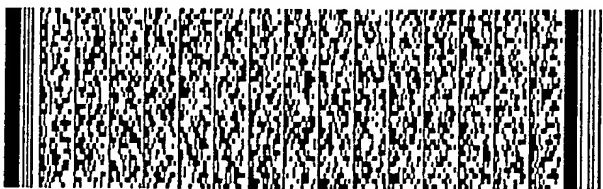


五、發明說明 (9)

方式 (Flip Chip) 電性連接至該基板 40。

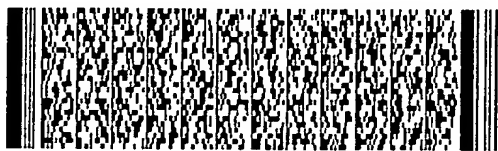
請參閱第 5 圖，係本發明一體封裝成型之卡式電子裝置第三實施例之剖面示意圖。如圖所示，本發明第三實施例之卡式電子裝置與第一實施例所揭示者大致相同，其不同處在於該半導體晶片 53 係採用堆疊方式電性連接至該基板 50，而由於本發明之一體封裝成型之卡式電子裝置係藉由單一封裝膠體 55 即完成封裝成型，得以大幅薄化該例如多媒體卡之卡式電子裝置，以供接置其內之半導體晶片 53 可採用堆疊方式之多晶片模組 (Multi Chip Module, MCM)，俾提供該多媒體卡具多功能、高電性以及高速運作之效果。

透過本發明之一體成型之卡式電子裝置及其製法，利用單一封裝膠體以一體成型之方式封裝完成該卡式電子裝置，即可完整包覆保護接置於該基板上之相關半導體晶片、被動元件等電子元件，相較習知技術中先採用封裝膠體覆蓋住半導體晶片後，且於基板表面其餘未為該封裝膠體所覆蓋之空間接置被動元件，並另施加一蓋體以完全包覆住該基板之雙重封裝問題，不僅可簡化製程步驟及成本，以利該卡式電子裝置之大量生產製造，且大幅降低該卡式電子裝置封裝高度，使得堆疊晶片更易施行，促進該卡式電子裝置朝多功能、高電性及高速運作之方向發展；同時整體基板表面皆可作為接置半導體晶片與被動元件等電子元件之設計規劃，以提供較佳之電路佈局性 (Trace Routability or Layout) 供安置更多之電子元件。



五、發明說明 (10)

惟以上所述者，僅係用以說明本發明之具體實施例而已，並非用以限定本發明之可實施範圍，舉凡熟習該項技藝者在未脫離本發明所指示之精神與原理下所完成之一切等效改變或修飾，仍應皆由後述之專利範圍所涵蓋。



圖式簡單說明

[圖式簡單說明]

第 1A圖 係習知之多媒體卡封裝結構上視圖；

第 1B圖 係習知之多媒體卡封裝結構下視圖；

第 1C圖 係習知之多媒體卡封裝結構剖視圖；

第 1D圖 係習知之多媒體卡封裝結構立體示意圖；

第 2A圖 係本發明之一體封裝成型之卡式電子裝置上視圖；

第 2B圖 係本發明之一體封裝成型之卡式電子裝置下視圖；

第 2C圖 係本發明之一體封裝成型之卡式電子裝置剖視圖；

第 3A圖 係本發明之一體封裝成型之卡式電子裝置採批次方式製程之上視圖；

第 3B圖 係本發明之一體封裝成型之卡式電子裝置採批次方式製程之下視圖；

第 4圖 係本發明另一實施例之一體封裝成型之卡式電子裝置剖視圖；以及

第 5圖 係本發明又另一實施例之一體封裝成型之卡式電子裝置剖視圖。

1 多媒體卡封裝結構

101 第一表面

11 導電跡線

13 半導體晶片

10 基板

102 第二表面

12 導電接頭

14 鐳線



圖式簡單說明

15	封裝膠體	16	被動元件
17	蓋體	2	卡式電子裝置
20	基板	21	導電跡線
22	導電接頭	23	半導體晶片
24	導電元件	25	封裝膠體
26	被動元件	201	第一表面
202	第二表面	231	作用面
232	非作用面	3	多媒體卡
30	基板	33	半導體晶片
34	鐳線	35	封裝膠體
36	被動元件	310	矩陣式基板
311	封裝區域	40	基板
43	半導體晶片	49	鐳錫凸塊
50	基板	53	半導體晶片
55	封裝膠體		



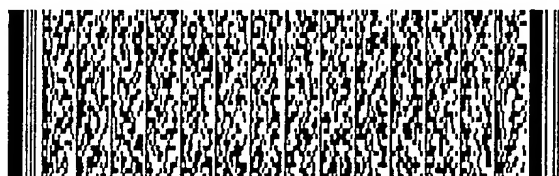
六、申請專利範圍

1. 一種一體封裝成型之卡式電子裝置之製法，係包括下列步驟：

製備一基板，於該基板第一表面安置並電性連接有至少一晶片與至少一被動元件，並於該基板第二表面端部形成有一用以作為該卡式電子裝置之輸入/輸出 (Input/Output) 端之導電端部；以及

進行一封裝膠體製程 (Encapsulation Process)，藉以利用單一封裝膠體一體成型地形成於該基板第一表面，俾包覆住該半導體晶片與被動元件。

2. 如申請專利範圍第1項之卡式電子裝置製法，其中，該卡式電子裝置為一多媒體卡 (Multi-Media Card, MMC)。
3. 如申請專利範圍第1項之卡式電子裝置製法，其中，該半導體晶片可採用堆疊方式之多晶片模組 (Multi Chip Module, MCM)，俾提供該多媒體卡具更多功能、高電性以及高速運作之效果。
4. 如申請專利範圍第1項之卡式電子裝置製法，其中，該半導體晶片可為多媒體晶片 (Multi-Media Chip)、可抹寫之程式化記憶體 (Electrically-Erasable and Programmable Read-Only Memory, EEPROM) 晶片及控制晶片 (Controlled Chip) 所組群組之任一者。
5. 如申請專利範圍第1項之卡式電子裝置製法，其中，該被動元件可為電容器、電阻器及電感器所組群組之任一者。



六、申請專利範圍

6. 如申請專利範圍第1項之卡式電子裝置製法，其中，該導電接頭為一金手指（Golden Finger）。

7. 一種一體封裝成型之卡式電子裝置之製法，係採用批次（Batch）方式製造，其步驟包括：

採用一矩陣式基板（matrix substrate）作為基底並預先定義有複數個封裝區域，其中每一個封裝區域即用以建構一個多媒體卡封裝結構；

接置作業，以將至少一半導體晶片及至少一被動元件接置於各封裝區域表面；

電性連接作業，以將該半導體晶片及被動元件電性連接至該基板；

模壓（Molding）作業，以將該完成電性連接有半導體晶片及被動元件之整體矩陣式基板置於模具中，藉單一封裝膠體一體包覆成型；以及

切單（Singulation）作業，以將完成封裝之多媒體卡進行切割分離。

8. 如申請專利範圍第7項之卡式電子裝置製法，其中，該卡式電子裝置為一多媒體卡（Multi-Media Card, MMC）。

9. 如申請專利範圍第7項之卡式電子裝置製法，其中，該半導體晶片可採用堆疊方式之多晶片模組（Multi Chip Module, MCM），俾提供該多媒體卡具更多功能、高電性以及高速運作之效果。

10. 如申請專利範圍第7項之卡式電子裝置製法，其中，該



六、申請專利範圍

半導體晶片可為多媒體晶片 (Multi-Media Chip)、可抹寫之程式化記憶體 (Electrically-Erasable and Programmable Read-Only Memory, EEPROM) 晶片及控制晶片 (Controlled Chip) 所組群組之任一者。

11. 如申請專利範圍第 7 項之卡式電子裝置製法，其中，該被動元件可為電容器、電阻器及電感器所組群組之任一者。

12. 一種一體封裝成型之卡式電子裝置，係包括：

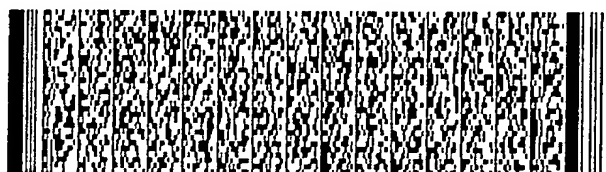
一基板，具有一第一表面及一相對應之第二表面，且該基板第一表面佈設有多數條導電跡線，第二表面端部形成有多數導電接頭 (terminal)，並藉由多數形成於基板中之通孔藉以電性導接該第一表面之導電跡線與第二表面之導電接頭，且使第二表面之導電接頭曝露於外界，俾作為該卡式電子裝置之輸入/輸出 (Input/Output) 端以與外界成電性連接關係；

至少一半導體晶片，係接置於該基板之第一表面並藉由多數導電元件電性連接至該基板；

至少一被動元件，係接置並電性連接至該基板第一表面上；以及

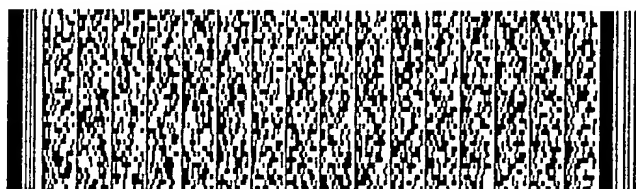
一封裝膠體，係形成於該基板第一表面，用以一體成型包覆住該已完成電性連接至該基板之半導體晶片與被動元件。

13. 如申請專利範圍第 12 項之卡式電子裝置，其中，該卡式電子裝置為一多媒體卡 (Multi-Media Card, MMC)。

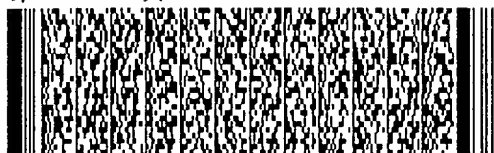


六、申請專利範圍

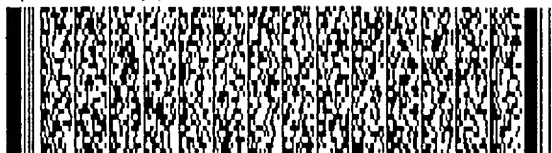
- 14.如申請專利範圍第12項之卡式電子裝置，其中，該半導體晶片可採用堆疊方式之多晶片模組 (Multi Chip Module, MCM)，俾提供該多媒體卡具更多功能、高電性以及高速運作之效果。
- 15.如申請專利範圍第12項之卡式電子裝置，其中，該半導體晶片可為多媒體晶片 (Multi-Media Chip)、可抹寫之程式化記憶體 (Electrically-Erasable and Programmable Read-Only Memory, EEPROM) 晶片及控制晶片 (Controlled Chip) 所組群組之任一者。
- 16.如申請專利範圍第12項之卡式電子裝置，其中，該被動元件可為電容器、電阻器及電感器所組群組之任一者。
- 17.如申請專利範圍第12項之卡式電子裝置，其中，該導電元件為鐸線。
- 18.如申請專利範圍第12項之卡式電子裝置，其中，該導電接頭為一金手指 (Golden Finger)。



第 1/20 頁



第 2/20 頁



第 2/20 頁



第 3/20 頁



第 4/20 頁



第 5/20 頁



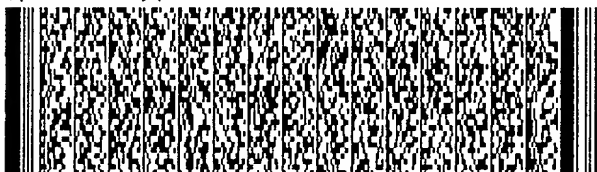
第 5/20 頁



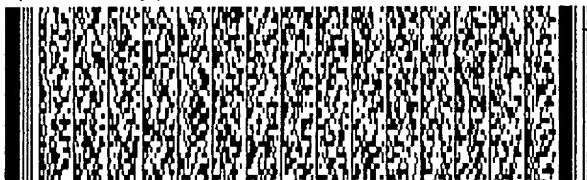
第 6/20 頁



第 6/20 頁



第 7/20 頁



第 7/20 頁



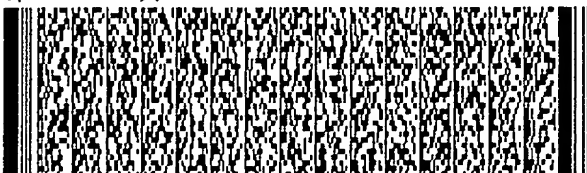
第 8/20 頁



第 8/20 頁



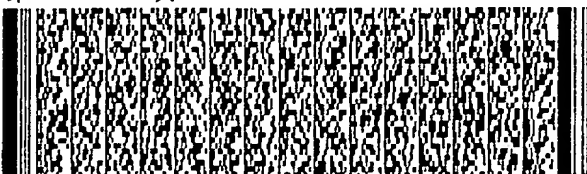
第 9/20 頁

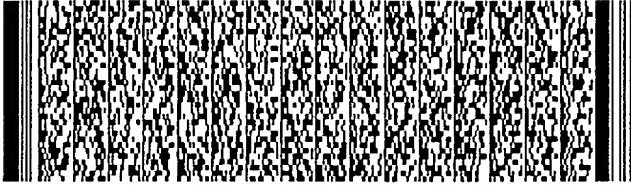


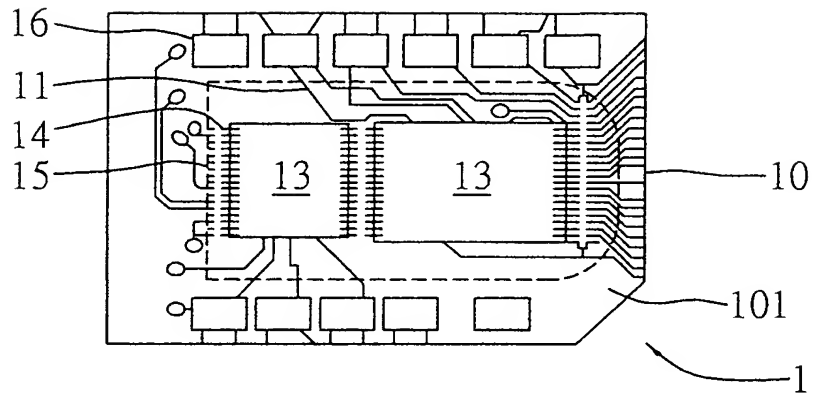
第 9/20 頁



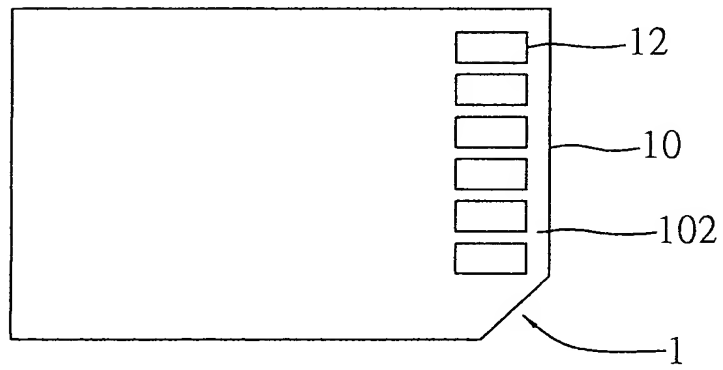
第 10/20 頁



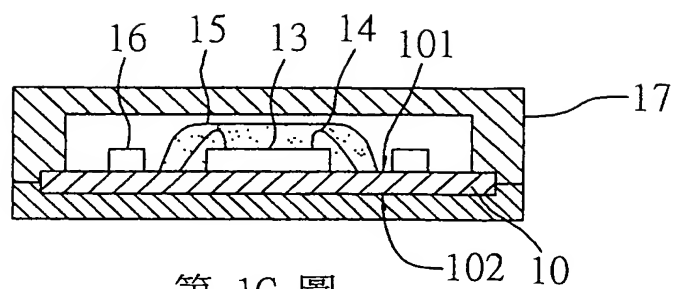




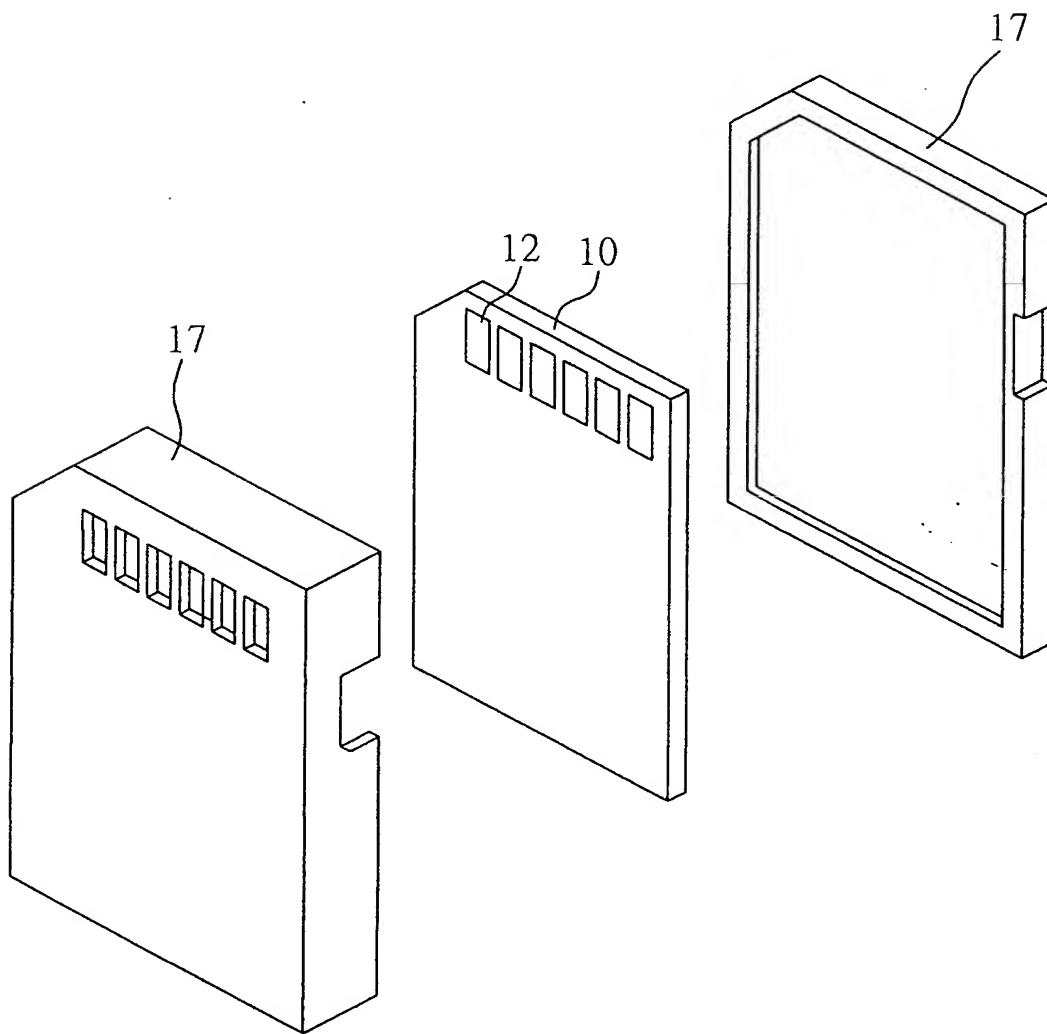
第 1A 圖



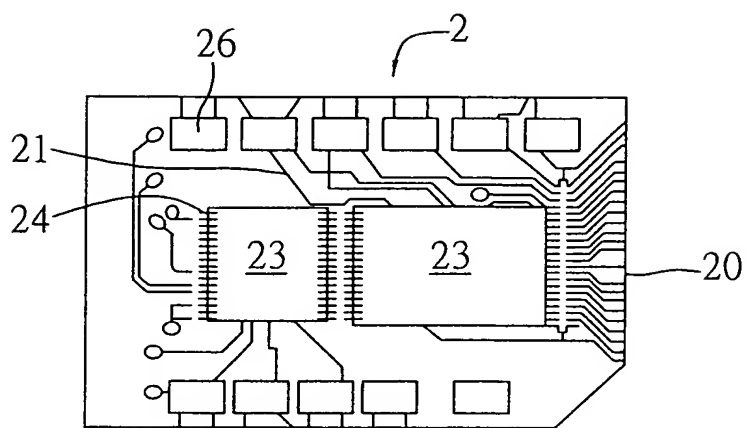
第 1B 圖



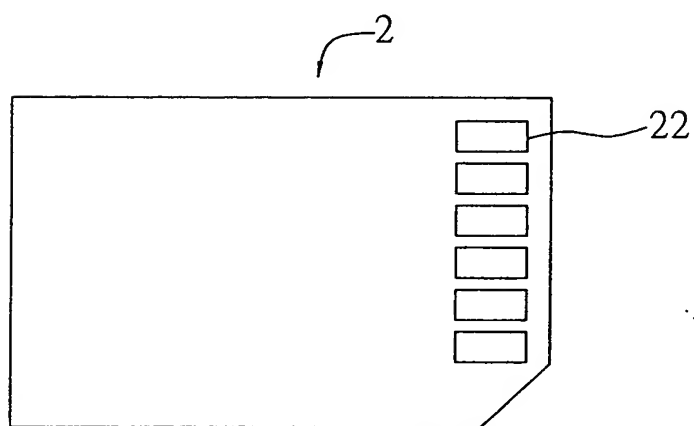
第 1C 圖



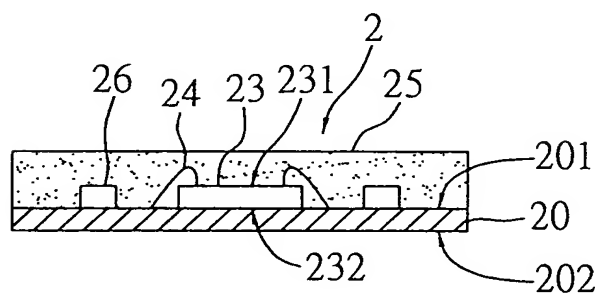
第 1D 圖



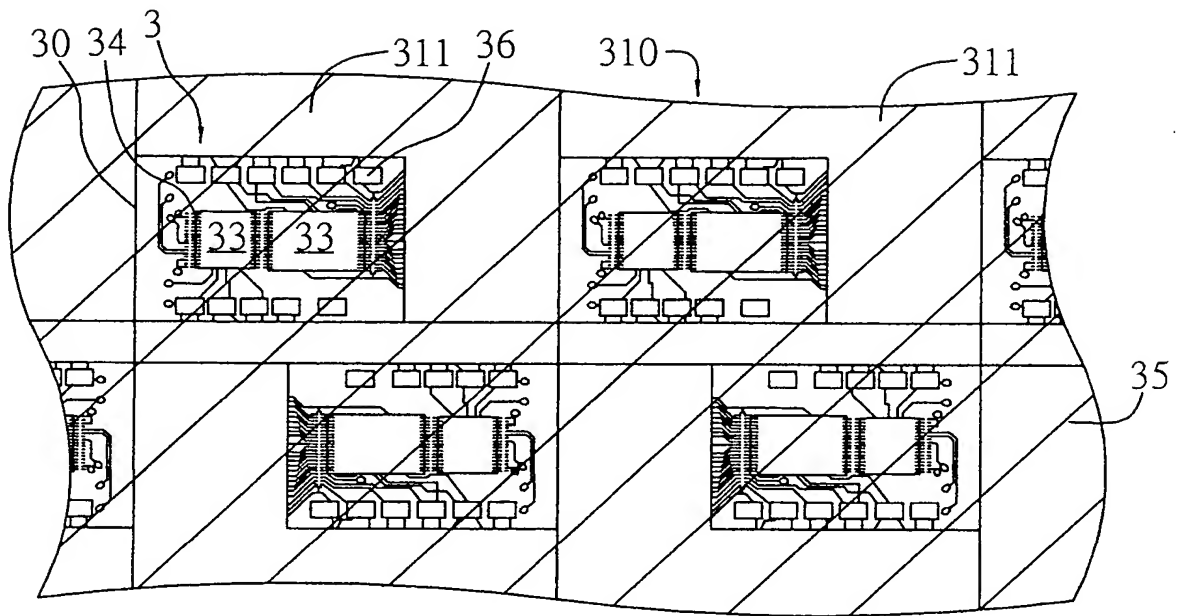
第 2A 圖



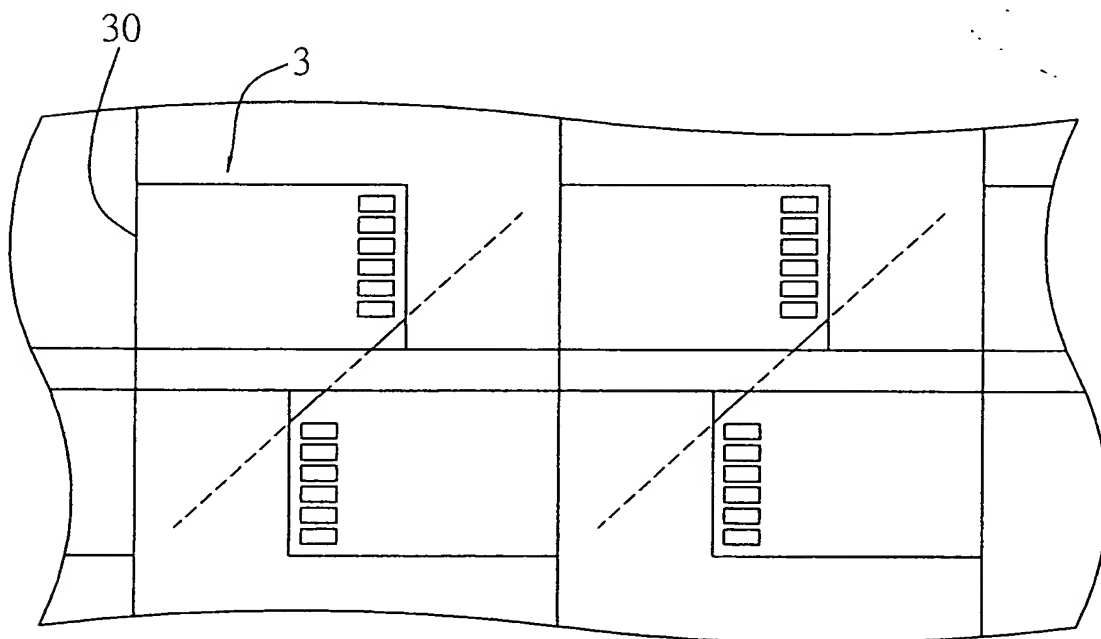
第 2B 圖



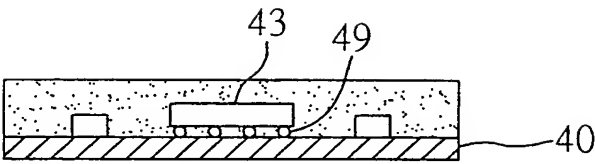
第 2C 圖 (代表圖)



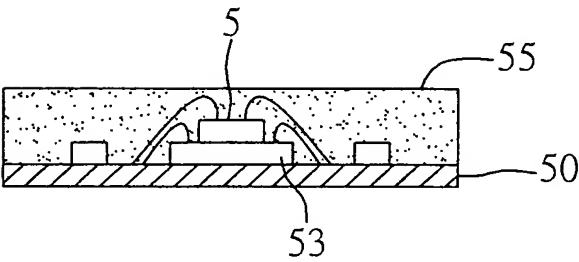
第 3A 圖



第 3B 圖



第 4 圖



第 5 圖